

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06317814 A

(43) Date of publication of application: 15 . 11 . 94

(51) Int. Cl.

G02F 1/136

G02F 1/1343

H01L 29/784

(21) Application number: 06042722

(22) Date of filing: 14 . 03 . 94

(30) Priority: 12 . 03 . 93 JP 05 52675

(71) Applicant: TOSHIBA CORP

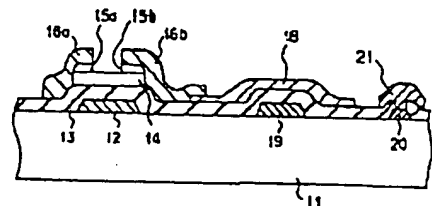
(72) Inventor: TSUJI YOSHIKO
IKEDA MITSUSHI
TOEDA HISAO
OGAWA YOSHIFUMI
OKA TOSHIYUKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract

PURPOSE: To provide a liquid crystal display device having a high isolation voltage relating to address wirings without delay in gate pulses.

CONSTITUTION: This liquid crystal display device has the plural address wirings 19 which are formed of a single layer of an Mo-W alloy on an insulating substrate 11, plural data wirings which form intersected parts via insulating films 13 on these address wirings 19, a display region which has plural pixel electrodes 18 arranged in each of these intersected parts, control electrodes 12 which are arranged adjacently to the intersected parts and are electrically connected to the address wirings 19 and plural switching elements which have first main electrodes 16a electrically connected to the data wirings and second main electrodes 16b electrically connected to the pixel electrodes.



COPYRIGHT: (C)1994 JPO

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

✓ 特開平6-317814

(43)公開日 平成6年(1994)11月15日

(51)Int.Cl.³

G 0 2 F 1/136

1/1343

H 0 1 L 29/784

識別記号

5 0 0

庁内整理番号

9119-2K

9017-2K

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 G

9056-4M

3 1 1 A

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21)出願番号

特願平6-42722

(22)出願日

平成6年(1994)3月14日

(31)優先権主張番号

特願平5-52675

(32)優先日

平5(1993)3月12日

(33)優先権主張国

日本 (J P)

(71)出願人 00003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 辻 佳子

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72)発明者 池田 光志

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72)発明者 戸枝 久郎

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(74)代理人 弁理士 鈴江 武彦

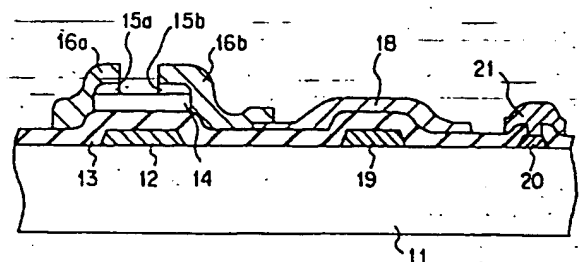
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】本発明は、ゲートパルスの遅延がなく、アドレス配線に関して高い絶縁耐圧を有する液晶表示装置を提供することを目的とする。

【構成】絶縁性基板上にMo-W合金の単層で形成された複数のアドレス配線と、このアドレス配線に絶縁膜を介して交差部を形成する複数のデータ配線と、この交差部毎に配置された複数の画素電極を有する表示領域と、この交差部に隣接して配置され、このアドレス配線に電気的に接続された制御電極、このデータ配線に電気的に接続された第1の主電極、並びに画素電極に電気的に接続された第2の主電極を有する複数のスイッチング素子とを有することを特徴としている。



からなる活性層4が形成されており、活性層4の両端部分上には、 n^+ a-Si層5a、5bが形成されている。さらに、ゲート絶縁膜3上には、ITO画素電極8が形成されている。また、Alからなるソース電極6aが n^+ a-Si 5aと接合部分を有するように形成されており、Alからなるドレイン電極6bが n^+ a-Si 5bおよび画素電極8と接合部分を有するように形成されている。また、同時にデータ配線が形成されている。

【0007】図20に示す従来の液晶表示装置に用いられるTFTにおいては、画素電極とデータ配線が絶縁膜を介することなく同一層で存在するため短絡が起り、表示において点欠陥が発生することがある。この点欠陥の発生を回避するために、ソース電極、ドレイン電極およびデータ配線をAlにより形成した後、層間絶縁膜を形成し、その上に画素電極を形成する構造が改善案として提案されている。しかし、この構造を実現するためには、第1にデータ配線等が層間絶縁膜のエッチャントであるHFや画素電極のITOエッチャントに対する耐性に優れていなくてはならないこと、第2に層間絶縁膜のステップカバレッジを良好にして、データ配線と画素電極との絶縁性を高めるために、データ配線にテーパー加工を施すことが可能であること、が要求される。しかし、これを実現するためのデータ配線用の配線材料は知られておらず、そのような構造を実現して液晶表示装置の信頼性を高めることは難しかった。特に、大面積のディスプレイの開発には、点欠陥の発生率を低減することが重要であり、そのような信頼性の高い液晶表示装置の開発が望まれている。

【0008】Al系合金やTa系合金をデータ配線用の配線材料として用いると、表面に酸化膜が形成されて上層の金属配線とのコンタクト抵抗が高くなるため、表面酸化膜を除去する工程が必要である。この酸化膜除去工程は、図20の従来例の配線引出しコンタクト部におけるゲート配線10aとデータ配線10bとのコンタクトについても同様に必要である。さらに、ITOとAlの反応を防ぐためにMo等のバリアメタルを形成することが必要であり、工程が増すという欠点がある。また、Al系合金をデータ配線材料として用いると、表面の反射率が非常に高いため、フォトリソグラフィ工程における配線幅の減少、ゴミ等による断線が露光光の反射により発生し易く、線欠陥となるという欠点がある。反射率が高いことに起因する欠点は他にもあり、例えば、対向基板での反射光等の迷光が配線で再反射されTFTに照射されることによる光リーク電流の発生という問題もある。これにより、パネル表示を行った際にコントラストを低減させることになる。

【0009】上述したように、アクティブマトリクス型液晶表示装置の表示領域を大面積化する場合にあっては、アドレス配線の有する抵抗分が増大し、これに起因するゲートパルスの遅延が顕著になり、液晶の正常な制

御ができなくなるという問題点がある。

【0010】

【発明が解決しようとする課題】本発明は、上記事情を考慮してなされたもので、その目的とするところは、ゲートパルスの遅延がなく、アドレス配線に関して高い絶縁耐圧を有する液晶表示装置を提供することにある。

【0011】

【課題を解決するための手段】本発明は、絶縁基板上にMo-W合金の単層で形成された複数のアドレス配線と、前記アドレス配線に絶縁膜を介して交差部を形成する複数のデータ配線と、前記交差部毎に配置された複数の画素電極を有する表示領域と、前記交差部に隣接して配置され、前記アドレス配線に電気的に接続された制御電極、前記データ配線に電気的に接続された第1の主電極並びに前記画素電極に電気的に接続された第2の主電極を有する複数のスイッチング素子を具備することを特徴とする液晶表示装置を提供する。ここで、絶縁性基板としては、ガラス基板、ガラス基板上にSiO₂等の絶縁材料がコーティングされているもの等を挙げることもができる。

【0012】

【作用】本発明によれば、Mo-W合金のような低抵抗率を有する配線材料をアドレス配線に用いるので、アドレス配線はゲートパルスに対して低い抵抗分として作用する。このため、このアドレス配線を伝わるゲートパルスはアドレス配線の配線抵抗に起因する遅延作用を受けにくい。したがって、液晶を駆動するための所定のスイッチング素子には遅延のないゲートパルスが与えられる。その際、Mo-W合金はテーパー加工が可能であるため、この材料を用いて形成したアドレス配線上に成膜する層間絶縁膜のステップカバレッジが良好になり、層間絶縁膜上に形成される配線とこのアドレス配線との間には高い絶縁耐圧が与えられる。したがって、表示領域を大面積化した場合にあっても、信頼性のある液晶表示装置を実現することが可能となる。

【0013】また、大面積のディスプレイでなくても、アドレス配線の抵抗率が低くなると、配線幅を細くするために、開口率を上げることができるという利点がある。さらに、表面に形成された酸化膜の抵抗が小さいため、表面層を除去するための処理が必要でない。さらに、ITOとの間のコンタクト抵抗も小さいため、バリアメタルが不要となり、製造コストを低減することができる。

【0014】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。なお、同一部分には同一符号を付して、簡略化のために詳細な説明は省略する。

(実施例1)

(具体例1) 図1は、本発明の第1の実施例に係る液晶表示装置の一例に用いられるTFT(スイッチング素

は、表面の極端な酸化によるものであるが、Mo-W合金をスパッタリングで成膜した後、窒素が50原子%以下のMo-W合金窒化物をスパッタリングし、 $CF_4 + O_2$ の混合ガスで加工することにより、良好なテーパーを形成することができ、酸化されにくく、かつ、低抵抗な配線がMo-W合金と同一のプロセスで形成することができる。また、Mo-W合金の下地として、窒素を50原子%以下で添加したMo-W合金を用いることにより、基板との密着性が向上する。また、Ta-N合金を下地として用いても同様の効果が得られる。Ta-N、Ta-Nb-N、Ta-W-N、Ta-Mo-N合金膜により表面カバレージもMo-W=N合金膜と同様に酸化防止に効果がある。

【0022】なお、本発明者らの調べによると、CF₄-W合金の場合にも、以上のMo-W合金に関して述べたことと同じことが言えることが分った。さらに、この材料を用いてアドレス配線等を形成した場合も、上記と同様の効果が得られる。

【0023】ここで、上述した製造工程は1つの例であり、各層の厚みや成膜方法等は適宜変更して実施することが可能である。その場合にあっても、本実施例と同様の効果が得られる。また、TFTには他の構造のもの、例えば、チャンネル上に絶縁膜のストッパを設ける構造のTFTや、蓄積容量部分がゲート電極と同一層の配線、およびデータ配線と同一層の配線により形成される構造のTFTを採用してもよい。

【0024】(具体例2) 図6は、本発明の第1の実施例に係る液晶表示装置の他の例に用いられるTFTおよび蓄積容量部分の断面図である。このTFTおよび蓄積容量部分の構成およびプロセスについて説明する。ガラス基板11上にITOを厚さ120nmでスパッタリングし、パターンニングすることにより、Cs線29aを形成する。その後、Mo-Wを厚さ300nmでスパッタリングし、パターンニングすることにより、ゲート電極22、アドレス配線、およびCs線29bを同時に形成する。その後、プラズマCVDによりシリコン酸化膜またはシリコン窒化膜23を厚さ350nmで、a-Si活性層を厚さ300nmで、n⁺a-Si層25a、25bを厚さ50nmで順次形成してパターンニングして、島状のa-Si活性層24を形成する。次いで、ITOを厚さ120nmでスパッタリングして画素電極28を形成する。

【0025】次に、コンタクト部のSiO_xをHF系溶液でエッチングしてコンタクトホールを形成する。次いで、Al等の所定の配線金属をスパッタリングし、ウェットエッチングすることにより、ソース電極26a、ドレイン電極26bおよびデータ配線を同時に形成する。この構造では、蓄積容量部が透明である29a-28間で形成されるため、従来開口部として利用できなかったCs線部分も開口部として利用でき、開口率が向上する。ITOは抵抗率が金属と比べて高いが、29bを積

層することによりCs線として十分な抵抗率まで下げることができる。このとき、ITOとMo-W合金は、バリアメタルなしでコンタクトをとることができる。

【0026】(具体例3) 図7は、本発明の第1の実施例に係る液晶表示装置の他の例に用いられるTFTおよび蓄積容量部分の断面図である。このTFTおよび蓄積容量部分の構成およびプロセスについて説明する。ガラス基板11上にMo-Ta、Mo-W、Mo-Cr等の所定の配線金属を厚さ300nmでスパッタリングし、パターンニングすることにより、ゲート電極32、アドレス配線、およびCs線39を同時に形成する。その後、プラズマCVDにより酸化膜または窒化膜33を厚さ350nmで、a-Si活性層を厚さ300nmで、n⁺a-Si層35a、35bを厚さ50nmで順次形成してパターンニングして、島状のa-Si活性層34を形成する。次に、コンタクト部のSiO_xをHF系溶液でエッチングしてコンタクトホールを形成する。次いで、表面酸化膜を除去した後、Mo-Ti合金、W-Ti合金またはMo-W合金をスパッタリングして、ウェットエッチングすることにより、ソース電極36a、ドレイン電極36b、およびデータ線を形成する。

【0027】その後、酸化膜37を厚さ300nmで成膜し、HF系溶液によるエッチング(例えば、エッチレート約100nm/分)またはCF₄等のガスを用いたドライエッチング(例えば、エッチレート約30~100nm/分)によりドレイン電極36b上にコンタクトホールを形成し、さらに、ITOを厚さ120nmでスパッタリングして、画素電極38を形成する。

【0028】ここで、本発明者らの調べによると、図8に示すように、画素電極38の形成に用いるITOエッチャントやコンタクトホール形成に用いるBHFFに対するMo-Ti合金の耐薬品性は、Ti含有量20~80%で非常に優れていることが分った。また、Tiよりも酸化還元電位の高い酸化剤を含んだ弱アルカリエッチャント(pH7~9)を用いることにより、レジストの溶解なしにエッチングすることが可能であることが分った。

【0029】一方、酸素含有率の異なるMo-Ti合金からなる膜を形成し、エッチングを施してテーパー加工を行うことができたもの、およびテーパー加工を行うことができなかったものについて、オージェ分析法により酸素含有率を調べた。その結果を図9(A)および図9(B)に示す。ここで、各図におけるMo、TiおよびO(酸素)の含有率を表す縦軸のスケールはそれぞれ異なるが、両図におけるMo、TiおよびO(酸素)の含有率を表す縦軸のスケールはそれぞれ同一である。図9(A)はテーパー加工が施された場合のMo-Ti合金の酸素含有率が約3%であったことを示し、図9(B)はテーパー加工が施されなかった場合のMo-Ti合金の酸素含有率が約1原子%であったことを示す。このような

明してきた各具体例に限定されるものではなく、半導体材料としては、 $a-Si$ に限らず、 $p-Si$ 、 $CdSe$ を用いてもよい。また、データ線上に形成する絶縁膜は、酸化膜に限らず窒化膜でもよい。

【0037】さらに、以上の具体例で用いられている合金は、各具体例のように単層で使用してもよく、組成の異なる合金による2層以上の積層膜、例えば表面酸化を防止するために、 Mo および W を主成分とし窒素を含有する合金からなる膜を $Mo-W$ 合金からなる膜の上に形成した積層膜を用いてもよい。また、前述の $Mo-W$ 合金の表面、すなわち上層に Ta 、 $Ta-N$ 、 $Ta-Mo$ 、 $Ta-Nb$ 、 $Ta-W$ 、 $Ta-Nb-N$ 、 $Ta-Mo-N$ 、 $Ta-W-N$ 合金またはこれらの間の合金等の金属を積層して、耐酸性を向上させてもよい。さらに、前述の $Mo-W$ 合金の下層に Al 、 Cu 、 Ag 等を形成して抵抗をさらに下けてもよい。また、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0038】ここで、本発明における液晶表示装置の構成の重要性について説明する。配線抵抗は、TFTを用いた液晶表示装置において、画面が大型になり、高精細になるにしたがい、低抵抗であることが必要になる。例えば、パソコン用のディスプレイ(VGA)では、配線が $480 \times (640 \times 3)$ であり、上級パソコン用ディスプレイ(XGA)では、配線が $760 \times (1024 \times 3)$ である。この場合、配線抵抗は、ゲートパルスの遅延を防止するために低抵抗である必要がある。パルス遅延は、配線抵抗 R と配線に付加しているTFTや蓄積容量の容量 C との積 CR により決定される。画面が大型化すると、配線が長くなるため必然的に R が増大して CR が大きくなる。また、画素数が増え、 C ($C=C_0 \times n$ 、 C_0 :単位画素の容量、 n :画素数)が増加するため CR が大きくなる。 C は画素により決まるので、パルス遅延を防止するためには R を下げる必要がある。

【0039】通常の製法では、対角10インチクラス以上の画面サイズでの通常の設計においては、VGAは $40 \mu\Omega \cdot cm$ 、XGAは $20 \mu\Omega \cdot cm$ 以下の抵抗率が必要である。このため、VGAの配線材料には、抵抗率が $40 \mu\Omega \cdot cm$ 程度の $MoTa$ や Cr を使用することができる。しかし、XGAでは、 $MoTa$ や Cr を使用することができない。このため、XGAでは、通常図11に示すような構造、すなわち低抵抗の Al の表面を耐酸性の良好である Ta を被覆した構造を採用する。このような複雑な構造を採るのは、 Al は抵抗率が $4 \mu\Omega \cdot cm$ 程度と低いが、耐酸性が悪く Al エッチャントやITOエッチャントで侵されるからである。

【0040】また、図11に示す構造は、複雑であるため、コストアップになるだけでなく、内部の Al が侵されて線欠陥や点欠陥が発生したりする。これらの欠陥は、ゴミによる Ta のピンホールがある場合、露出した

Al 配線の浸食が避けられないので、回避することができない。 Al の代わりに Cu や Mo を使用しても同様の欠陥が発生する。さらに、 Al 膜および Ta 膜を積層するため、膜厚が厚くなり、これと交差する信号線のカパレッジが悪くなり、負荷が加わり断線が発生したりする。その結果、このような不良は回避しにくく、歩留りが低下する。このように、上記具体例に示したような構成で $Mo-W$ 合金を用いることにより、単層でXGAレベルの配線抵抗を実現できる。

【0041】また、 $Mo-W$ 合金を Al 上に積層すると、 $Mo-W$ 単層の場合よりも膜質が劣化することが分った。 MoW/SiO_x の膜構成と、 MoW/Al の膜構成との違いについて説明する。両膜構成のサンプルについて、抵抗値、柱状構造のドメインの大きさ、および界面の反応物について調べた。その結果、 MoW/Al の膜構成の MoW の抵抗は、 MoW/SiO_x の膜構成の MoW の抵抗の4~10%抵抗値が大きかった。また、 MoW の柱状構造のドメインの大きさは、 $FE-SEM$ により観察したところ、 MoW/SiO_x の膜構成の方がドメインが大きかった。これは、 $Mo-W$ 合金からなる膜の抵抗値が下地の膜の材料の粒径に大きく影響されるからであると考えられ、 Al 上の MoW の結晶性が悪いことを意味する。

【0042】また、 MoW/Al の膜構成のものでは、 H_2O_2 浸漬により MoW 膜を剥離すると、 Al 表面に $(Mo_x, Al)_2(MO_x)_3$ 、 $M:Mo, W$ のような成分が確認され、 MoW と Al が界面で反応していることが分った。 MoW と Al は合金化により抵抗が増加するため、積層するよりも MoW 単層で用いる方が有効である。このように、 MoW を単層で用いる本発明の構成の液晶表示装置が優れた効果を有することが分る。

(実施例2) 図12は、本発明の実施例に係る液晶表示装置に用いられるTFT(スイッチング素子)および蓄積容量部分の断面図である。このTFTおよび蓄積容量部分の構成およびプロセスについて説明する。

【0043】ガラス基板51上に、絶縁膜57として例えば SiO_2 膜をスパッタリングやCVD等により形成し、 $Mo-W$ 合金を厚さ300nmでスパッタリングしてパターニングすることにより、ゲート電極(制御電極)52、アドレス配線、および Cs 線59を同時に形成する。次いで、プラズマCVDにより酸化膜53を厚さ350nmで、 $a-Si$ 活性層を厚さ300nmで、 n^+a-Si 層55a、55bを厚さ50nmで順次形成してパターニングして、島状の $a-Si$ 活性層54を形成する。次に、ITOを厚さ120nmでスパッタリングしてパターニングすることにより画素電極58を形成する。次いで、コンタクト部の SiO_x を希HFでエッチングしてコンタクトホールを形成する。次いで、 Al 等の所定の配線金属をスパッタリングし、ウェットエッチングすることにより、ソース電極(第1の主電極)56a、ドレ

セスについて説明する。ガラス基板61上に、Mo-W合金を厚さ300nmでスパッタリングしてCDEすることによりゲート電極(制御電極)62、アドレス配線、Cs線69、およびコンタクトパッド部80を同時に形成する。次いで、プラズマCVDまたは常圧CVDにより酸化膜63を厚さ350nmで、プラズマCVDによりSiNx膜63を厚さ500オングストロームで、a-Si活性層を厚さ50nmで、ストップSiNx膜70を厚さ300nmで順次形成する。次に、ストップSiNx膜70を希HFでエッチングした後に、n⁺a-Si層65-a、65-bを厚さ50nmで形成し、CDEにより島状のa-Si活性層64を形成する。次いで、コンタクト部のSiNx膜を希HFでエッチングしてコンタクトホールを形成する。

【0053】次いで、ITO66を厚さ100nmでスパッタリングし、Mo-W合金またはMo-Cr合金67を厚さ300nmでスパッタリングする。次いで、ウェットエッチングまたはCEi+O₂混合ガスを用いたドライエッチングによりMo-W合金をテーパエッチングし、ITOエッチャントである希王水によりITOをエッチングして画素電極68、信号線、ソース電極(第1の主電極)66a、67a、ドレイン電極(第2の主電極)66b、67b、データ配線、およびコンタクト部電極81を形成する。次いで、パッシベーションSiNx膜71をプラズマCVDにより形成した後に、画素部とパッド部のSiNxおよびMo-W合金をRIEまたはCDEによりエッチングする。このように、信号線とITO画素68を同一のパターンで形成することにより、フォトエッチングプロセスを1工程減らすことができる。また、本実施例は、Mo-W合金の代わりにMo-Cr合金を用いても同様に形成することができる。

【0054】本実施例では、信号線としてMo-W(Mo-Cr)/ITO多層配線を用いており、コンタクトパッド部においてゲート線とITOが接触する。Mo-W合金またはMo-Cr合金は、Ta系合金、Al、Cr等と異なり、その酸化膜の抵抗が小さいため、コンタクト抵抗が増大しない。したがって、ゲート配線上にMo-W合金またはMo-Cr合金の酸化膜が形成されるが、この酸化膜を除去しなくてもコンタクト特性は良好である。具体的には、このような構成において、コンタクト抵抗を含んだ配線抵抗の増大は1%以下であり、まったく問題にならなかった。また、TFT特性のId-Vd特性は良好な立上りを示し、良好なオーミック特性が得られ、Mo-W(Mo-Cr)配線とn⁺a-Si層の間に良好なコンタクトが得られていることが分った。

【0055】本発明者らが調べた抵抗率の結果を図15に示す。図15には、雰囲気ガスがO₂、N₂の不純物の多いガスであるパッチ式で製造する場合と、背圧の低いロードロック式のスパッタリング装置を用いて製造す

る場合について示す。パッチ式のスパッタリング装置を使用すると、チャンバ表面にH₂O、O₂、N₂が付着し、スパッタリングされたMo-W膜中へのO、Nの混入が避けられない。図15から分るように、パッチ式の場合には、Mo-W合金のW含有率が好ましくは10~95原子%の範囲、より好ましくは20~90原子%の範囲において、Mo-W合金の抵抗率が4.0μΩ・cmを大きく下回り、MoまたはW単体よりも抵抗が下がる。この範囲では、パッチ式およびロードロック式で同等の抵抗率を示すので、装置価格が安く、短いタクトタイムで生産できるパッチ式を採用することができる。

【0056】具体例5にまれば、画素と信号線を同一マスクで形成できるため、マスク合わせのためのマージンがなくなり、これにより開口率が増大する。ここで、上述した製造工程は1つの例であり、各層の厚みや成膜方法等は適宜変更して実施することができる。その場合にあっても、具体例5と同様の効果が得られる。また、TFTには他の構造のもの、例えば、チャネル上に絶縁膜のストップを設けずに信号線をマスクとしてn⁺a-Siをエッチングして形成するバックチャネル型のTFTや、蓄積容量部分はゲート電極と同一層の配線、およびデータ配線と同一層の配線とにより形成される構造のTFTを採用してもよい。

【0057】(具体例6)本実施例においては、a-Si活性層を信号線上に形成してなる構造を用いても同様の効果が得られる。すなわち、具体例5と同様にゲート電極をMo-W合金で形成した後に、プラズマCVDによりSiO_xを厚さ350nmで、SiNxを厚さ50nmで形成し、希HFを用いてエッチングしてコンタクトホールを形成する。次いで、スパッタリングによりITOおよびMo-W合金を順次形成し、その後プラズマCVDによりn⁺a-Si層を厚さ50nmで形成する。次いで、n⁺a-Si層およびITOをCDEによりエッチングし、さらにITOを希王水によりエッチングして画素電極、信号線、ソース電極(第1の主電極)、ドレイン電極(第2の主電極)、およびデータ配線を形成する。Mo-W合金は熱CVDにより形成してもよい。また、n⁺a-Si層はSiH₄/PH₃およびH₂の間欠プラズマによりMo-W/ITO上に選択的に形成してもよい。

【0058】次いで、パッシベーションSiNx膜をプラズマCVDにより形成した後に、画素部のa-Si/n⁺a-Si/Mo-WをRIEでエッチングしてTFTアレイを作製する。

【0059】この場合にも、コンタクト部でゲート電極がITOと接触し、信号線金属がITOと接触するがオーミック特性に問題はなかった。

(具体例7)図16は、本発明の第3の実施例に係る液晶表示装置の他の例に用いられるTFTおよび蓄積容量部分の断面図である。このTFTおよび蓄積容量部分の

らの複数のアドレス配線 9 1 と交差し、その一端に Mo-W 合金からなるデータ電極パッド 1 0 6 を有する複数のデータ配線 9 2 が形成されている。なお、アドレス配線 9 1 とデータ配線 9 2 との交差部分では、アドレス配線 9 1 とデータ配線 9 2 との間に絶縁膜が形成されている。この交差部分の近傍には、スイッチング素子として TFT 1 0 7 が形成されており、その一方の電極には、アドレス配線 9 1 とデータ配線 9 2 により囲まれた画素領域に形成された画素電極 9 6 が接続されている。また、アドレス電極パッド 1 0 3 の領域は、アドレス電極 1 0 5 およびコンタクトホール 1 0 4 を包含する広さを有している。

【0 0 6 9】上記構成を有する液晶表示装置では、アドレス電極パッド 1 0 3 およびデータ電極パッド 1 0 6 が Mo-W 合金により形成されているので、例えば、COG (Chip On Glass) 実装の際に、これらの電極パッドと映像信号用 IC との間の接合力が向上し、高い信頼性が得られる。

【0 0 7 0】なお、対向基板側に形成されたブラックマトリクス 1 0 0 が発揮する効果は、液晶駆動回路基板側に形成されたブラックマトリクス 1 0 8 も当然発揮する。また、Mo-W 合金は反射率が低いので、データ配線の材料に用いてもよい。

【0 0 7 1】上述したように、本実施例の液晶表示装置は、ブラックマトリクス材料として Mo-W 合金を用いることにより、画像表示面での外部からの光の反射を低減し、高品位の表示品質を実現することができる。また、アドレス電極パッドおよびデータ電極パッドを Mo-W 合金で形成することにより、例えば COG 実装における IC との接合の信頼性を高めることができる。なお、上記実施例 1 ~ 4 は適宜組み合わせることで実施することができる。

【0 0 7 2】

【発明の効果】以上説明した如く本発明の液晶表示装置によれば、低抵抗率を有する Mo-W 合金や Mo-Cr 合金を用いて形成したアドレス配線は低い抵抗を示し、ゲートパルスにはこの配線抵抗に起因する遅延が生じないので、液晶を駆動するための所定のスイッチング素子には遅延のないゲートパルスを与えることができる。その際、テーパ加工が可能な Mo-W 合金や Mo-Cr 合金を用いて形成したアドレス配線上に成膜する層間絶縁膜のステップカバレッジが良くなり、層間絶縁膜上に形成される他の配線とこのアドレス配線の間には高い絶縁耐圧を確保することができる。したがって、表示領域を大面積化した場合であっても、信頼性のある液晶表示装置を実現することが可能となる。また、大面積のディスプレイでなくても、アドレス配線の抵抗率が低くなると、配線幅を細くできるために開口率を上げることができるという利点がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例のに係る液晶表示装置の一例に用いられる TFT および蓄積容量部分の断面図。

【図 2】Mo-W 合金の抵抗率と W 含有率との関係を示すグラフ。

【図 3】Mo-W 合金の各エッチャントに対するエッチングレートと W 含有率との関係を示すグラフ。

【図 4】Mo-W 合金の応力と W 含有率との関係を示すグラフ。

【図 5】Mo-W 合金の応力と W 含有率との関係を示すグラフ。

【図 6】本発明の第 1 の実施例のに係る液晶表示装置の他の例に用いられる TFT および蓄積容量部分の断面図。

【図 7】本発明の第 1 の実施例のに係る液晶表示装置の他の例に用いられる TFT および蓄積容量部分の断面図。

【図 8】Mo-Ti 合金の各エッチャントに対するエッチングレートと Ti 含有率との関係を示すグラフ。

【図 9】(A) および (B) は Mo-Ti 合金の酸素含有量とテーパ加工性との関係を説明するためのグラフ。

【図 10】本発明の第 1 の実施例に係る液晶表示装置の他の例に用いられる TFT および蓄積容量部分の断面図。

【図 11】通常の製法により得られる膜構成を示す断面図。

【図 12】本発明の第 2 の実施例に係る液晶表示装置を示す断面図。

【図 13】図 12 に示す液晶表示装置においてテーパ加工を施した状態を示す断面図。

【図 14】本発明の第 3 の実施例に係る液晶表示装置の一例に用いられる TFT および蓄積容量部分の断面図。

【図 15】Mo-W 合金の抵抗率と W 含有率との関係を示すグラフ。

【図 16】本発明の第 3 の実施例に係る液晶表示装置の他の例に用いられる TFT および蓄積容量部分の断面図。

【図 17】本発明の第 4 の実施例に係る液晶表示装置を示す断面図。

【図 18】Mo-W 合金の反射率と W 含有率との関係を示すグラフ。

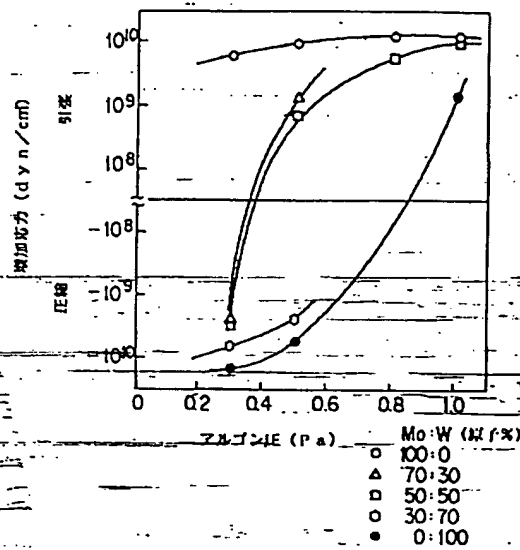
【図 19】本発明の第 4 の実施例に係る液晶表示装置の駆動回路基板の平面図。

【図 20】従来の液晶表示装置に用いられる TFT および蓄積容量部分の断面図。

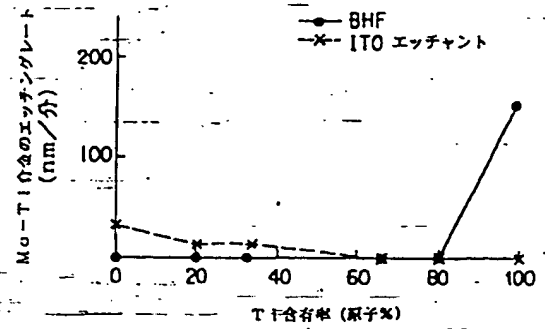
【符号の説明】

1 1, 5 1, 6 1, 8 1, 9 0, 9 8...ガラス基板、
2, 2 2, 3 2, 5 2, 8 2, 9 1 a...ゲート電極、
3, 4 7, 5 3, 6 3...酸化膜、1 4, 2 4, 3 4, 6
4...島状の a-Si 活性層、1 5 a, 1 5 b, 2 5 a,

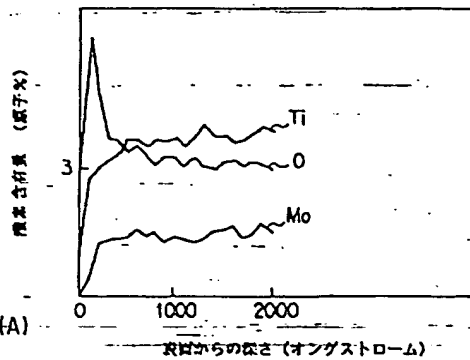
【図5】



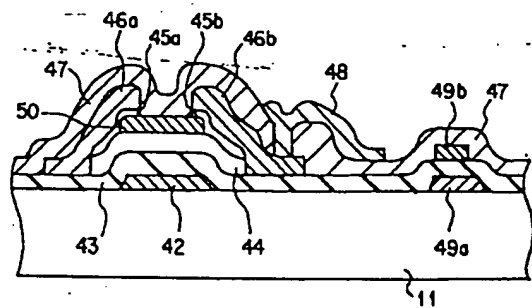
【図8】



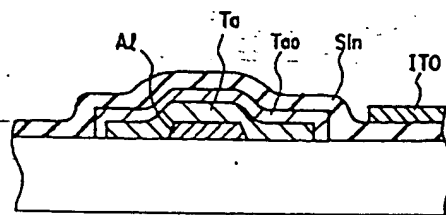
【図9】



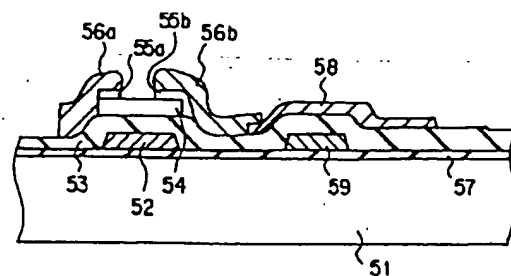
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 小川 吉文

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72)発明者 岡 俊行

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.